

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-136340

(43)Date of publication of application : 01.06.1993

(51)Int.Cl.

H01L 27/04  
H01L 21/302

(21)Application number : 03-326823

(71)Applicant : NIPPON STEEL CORP

(22)Date of filing : 15.11.1991

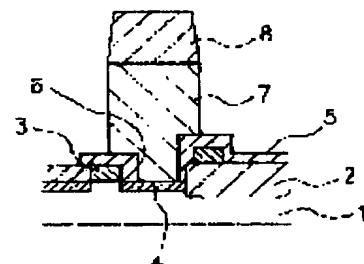
(72)Inventor : SUZUKI YASUHIRO

## (54) FORMATION METHOD OF CAPACITY POLYSILICON

### (57)Abstract:

PURPOSE: To provide the formation method, of capacity polysilicon, wherein the surface area of the capacity polysilicon can be made large, a film can be made thin and a stepped part can be made low.

CONSTITUTION: Polysilicon is etched by making use of a photoresist 8 as a mask; a capacity polysilicon film 7 is formed. Then, the photoresist 8 is ashed; the photoresist 8 is removed. After that, an overashing operation is executed by using a plasma; a granular deposit is deposited on the capacity polysilicon film 7. Then, the capacity polysilicon film 7 is etched again by making use of the granular deposit as a mask; protruding and recessed parts are formed on the capacity polysilicon film 7; the capacity polysilicon film 7 whose surface area is large is obtained.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-136340

(43)公開日 平成5年(1993)6月1日

(51)Int.Cl.<sup>5</sup>H 01 L 27/04  
21/302

識別記号

府内整理番号  
C 8427-4M  
H 7353-4M

F I

技術表示箇所

## 審査請求 未請求 請求項の数2(全4頁)

(21)出願番号

特願平3-326823

(22)出願日

平成3年(1991)11月15日

(71)出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72)発明者 鈴木 康浩

相模原市淵野辺5-10-1 新日本製鐵株式会社エレクトロニクス研究所内

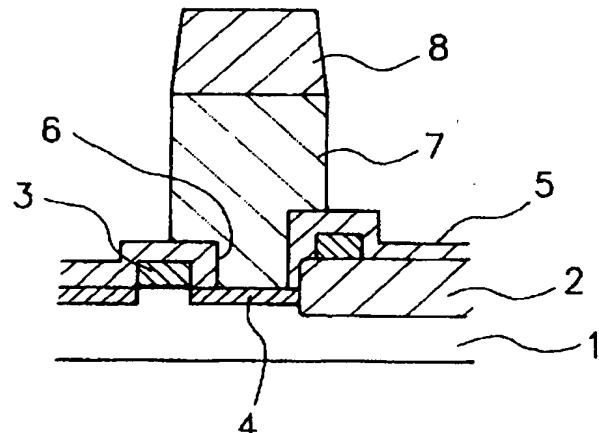
(74)代理人 弁理士 國分 孝悦

## (54)【発明の名称】 容量ポリシリコンの形成方法

## (57)【要約】

【目的】 容量ポリシリコンの表面積を大きくし、薄膜化、低段差化を可能にする容量ポリシリコンの形成方法を提供する。

【構成】 フォトレジスト8をマスクとしてポリシリコンをエッチングし、容量ポリシリコン膜7を形成する。次に、フォトレジスト8をアッシングしてフォトレジスト8を除去する。この後、プラズマにてオーバーアッシングを行い、容量ポリシリコン膜7上に堆積物9を粒状に堆積する。次に、粒状の堆積物9をマスクとして容量ポリシリコン膜7を再度エッチングし、容量ポリシリコン膜7に凹凸を形成し、表面積の大きい容量ポリシリコン膜7を得る。



1

## 【特許請求の範囲】

【請求項1】 ポリシリコンによって形成されるコンデンサを含む半導体メモリセルにおける容量ポリシリコンの形成方法において、

基板上に形成された半導体素子上にポリシリコンを堆積する工程と、

前記堆積されたポリシリコン上にレジストパターンを形成する工程と、

前記レジストパターンにより前記ポリシリコンのエッチングを行う工程と、

前記エッチングされたポリシリコン上に粒状のマスクをレジストアッキングにより形成する工程と、

形成された粒状のマスクにより前記ポリシリコンのエッチングを行い、前記ポリシリコンに凹凸を形成する工程とを有することを特徴とする容量ポリシリコンの形成方法。

【請求項2】 前記粒状のマスクをレジストアッキングにより形成する工程は、O<sub>2</sub>, Si Cl<sub>4</sub> およびN<sub>2</sub> ガスを用いることを特徴とする請求項1に記載の容量ポリシリコンの形成方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体デバイスの製造工程において、メモリセルのコンデンサとなる容量ポリシリコンの形成方法に関する。

## 【0002】

【従来の技術】 半導体デバイス、特に半導体メモリの高集積化に伴い、半導体メモリセルの占める面積を小さくすることが求められている。このような面積の縮小化を目的としたものとして、スタックト半導体メモリセルがある。スタックト半導体メモリセルによればコンデンサを半導体素子上または素子分離絶縁膜上に形成できるため、半導体メモリセルの占める面積を小さくすることができる。しかし、高集積化に伴いコンデンサの占める面積がさらに小さくなると、所定量の電荷を蓄積するためコンデンサとなるポリシリコンの膜厚を厚くするとともに、その表面積を増加させが必要となる。

【0003】 このようにポリシリコンの膜厚を厚くするとともに、その表面積を増加させるポリシリコンの形成方法として、たとえば特開平3-110863号に記載されたものが提案されている。この方法による容量ポリシリコンの形成工程を図5および図6に示す。この方法によれば、基板11、素子分離絶縁膜12、ゲート電極13、不純物拡散領域14を有する素子において、層間絶縁膜15およびコンタクトホール16の上に堆積された容量ポリシリコン17のエッチングにおいて、容量ポリシリコン17をエッチングするエッチングマスクとなるレジストパターン18の側壁にシリコン酸化物19を堆積しながら、レジストパターン18および容量ポリシリコン17を、シリコン、ハロゲン元素および酸素を含

2

むガスによってドライエッチングし、その後、シリコン酸化膜19および残留レジストパターン18を除去することによって図6に示すような、カップ状にエッチングされた容量ポリシリコン17を形成するものであった。

## 【0004】

【発明が解決しようとする課題】 上記の方法によれば、容量ポリシリコンの表面積を増大させることができる。しかしながら、この方法では、レジストパターンの側壁に堆積するシリコン酸化膜の再現性が悪いという問題

10 や、特にこれに起因する容量ポリシリコン内のエッチング部の形状がカップ型にならないなどの問題があった。このため、表面積の増加、および結果としてポリシリコンの薄膜化、低段差化が実現しにくいという問題があった。

【0005】 本発明はこのような問題を解決し、安定した工程によって容量ポリシリコンの表面積を増加させることができ、これにより容量ポリシリコンの薄膜化、低段差化を実現できる容量ポリシリコンの形成方法を提供することを目的とする。

## 20 【0006】

【課題を解決するための手段】 本発明は上記課題を解決するために、基板上に形成された半導体素子上にポリシリコンを堆積する工程と、堆積されたポリシリコン上にレジストパターンを形成する工程と、レジストパターンによりポリシリコンのエッチングを行う工程と、エッチングされたポリシリコン上に粒状のマスクをレジストアッキングにより形成する工程と、形成された粒状のマスクによりポリシリコンのエッチングを行い、ポリシリコンに凹凸を形成する工程とを有する。

30 【0007】 また、本発明によれば、レジストアッキングはO<sub>2</sub>, Si Cl<sub>4</sub>, N<sub>2</sub> ガスを用いて行われる。

## 【0008】

【作用】 本発明の方法によれば、容量ポリシリコンをエッチングした後のレジストアッキング時に、同時にレジスト上に粒状のマスクを形成する。したがって、これをマスクとして容量ポリシリコンを再度エッチングすることができる。この結果、容量ポリシリコン表面に凹凸形状が形成され（断面では櫛状となり）、容量ポリシリコンの表面積が飛躍的に増加する。したがって、容量ポリシリコンの膜厚を薄くでき、その後の工程で形成される配線の短絡や断線を改善することができる。

## 40 【0009】

【実施例】 以下、本発明の実施例を図面を用いて詳細に説明する。

【0010】 図1は、容量ポリシリコン7をエッチングした後の半導体メモリセルの断面を示したものである。このようなメモリセルの形成は、シリコン基板1上に素子分離絶縁膜2を形成し、ついでゲート電極3を形成し、n型高濃度不純物拡散領域4を形成する。さらに、層間絶縁膜5を形成した後、コンタクトホール6を形成

3

するための図示しないレジストパターンを形成し、RIEエッチング法により層間絶縁膜5をエッチングしてコンタクトホール6を形成する。さらに、層間絶縁膜5およびコンタクトホール6上にコンデンサとなる容量ポリシリコン膜7を堆積する。

【0011】次に、フォトレジスト8をマスクとしてポリシリコン膜7をドライエッチングし、図1に示すような構造が形成される。この1回目のポリシリコン膜7のエッチングにおいては、下地層たる層間絶縁膜5との選択比は20~30程度で十分なために、例えばCl<sub>2</sub>ガスあるいはHBrガスを主体としたRIE方式によるエッチングで十分である。もちろん、ECR方式でもよいことはいうまでもない。

【0012】次にフォトレジスト8をアッシングする工程となるが、このとき先づO<sub>2</sub>ガスにてレジストアッシングを行い、図2に示すようにフォトレジスト8を除去する。次に引続いてO<sub>2</sub>, Si Cl<sub>4</sub>, N<sub>2</sub>ガスを用いたプラズマにてオーバーアッシングを行う。このとき、圧力、流量を適切に設定実行することによって、図2に示すようにフォトレジスト8がバターニングされていた部分、すなわちレジスト除去後は容量ポリシリコン2のパターン部及びその近傍にSiCl<sub>x</sub>O<sub>y</sub>, SiCl<sub>x</sub>N<sub>y</sub>のような堆積物9が粒状に生成される。

【0013】これは、前述の1回目のポリシリコンエッチング中にフォトレジスト8の表面や側壁に付着した極めて薄い層の反応生成物や堆積物がO<sub>2</sub>アッシングのみでは除去されず、表面に細かく残渣となっていて、これがあたかも核となってO<sub>2</sub>, Si Cl<sub>4</sub>, N<sub>2</sub>ガスを用いたオーバーアッシング時に粒状に成長するからである。しかし、このオーバーアッシングを過度に行うと堆積物9が一面に堆積してしまうので好ましくない。

【0014】次に、この粒状の堆積物9をマスクとして2回目のポリシリコン7のエッチングを行い、図3に示すように、容量ポリシリコン7を凹凸(断面図では樹状)にエッチングし、表面積が飛躍的に増加した容量ポリシリコン7を形成できる。この2回目のポリシリコンのエッチングはマスクとなる物質SiCl<sub>x</sub>O<sub>y</sub>, SiCl<sub>x</sub>N<sub>y</sub>などと極めて高い選択比を実現できる方法でなければなら

10

20

30

4

ず、例えば、HBr, O<sub>2</sub>ガスまたはCl<sub>2</sub>, O<sub>2</sub>ガスを用いたECR方式によるエッチングが有効である。

【0015】その後、図4に示すように堆積物9を除去することによって、凹凸状の容量ポリシリコン7の形成が終了する。

【0016】本方法によれば、オーバーアッシング時に粒状に形成された堆積物9をマスクとして2回目のポリシリコン7のエッチングを行うから、容量ポリシリコン7を凹凸状に形成することができ、表面積の大きい容量ポリシリコンを形成することができる。

【0017】

【発明の効果】以上説明したように本発明によれば、容量ポリシリコンの表面積を飛躍的に増加し、かつ容量ポリシリコンを薄膜化、低段差化することができ、その結果配線の断線や短絡を軽減しメモリーセルの信頼性を向上することができる。

【図面の簡単な説明】

【図1】本発明による容量ポリシリコンの形成工程を示す断面図である。

【図2】本発明による容量ポリシリコンの形成工程を示す断面図である。

【図3】本発明による容量ポリシリコンの形成工程を示す断面図である。

【図4】本発明による容量ポリシリコンの形成工程を示す断面図である。

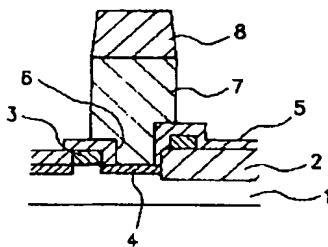
【図5】従来の容量ポリシリコンの形成工程を示す断面図である。

【図6】従来の容量ポリシリコンを示す断面図である。

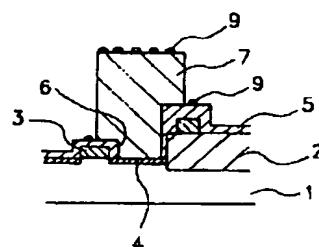
【符号の説明】

- 1 基板
- 2 素子分離絶縁膜
- 3 ゲート電極
- 4 不純物拡散領域
- 5 層間絶縁膜
- 6 コンタクトホール
- 7 容量ポリシリコン
- 8 フォトレジスト
- 9 堆積物

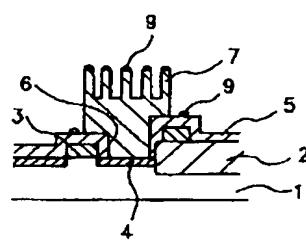
【図1】



【図2】



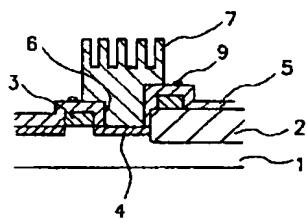
【図3】



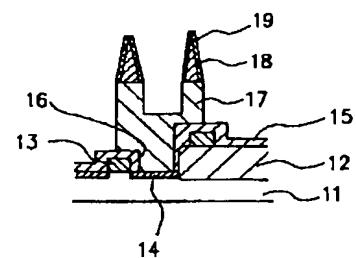
(4)

特開平5-136340

【図4】



【図5】



【図6】

